

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-290249

(43)Date of publication of application : 14.10.1992

(51)Int.Cl.

H01L 21/90  
H01L 21/288  
H01L 21/3205

(21)Application number : 03-052989

(71)Applicant : NEC CORP

(22)Date of filing : 19.03.1991

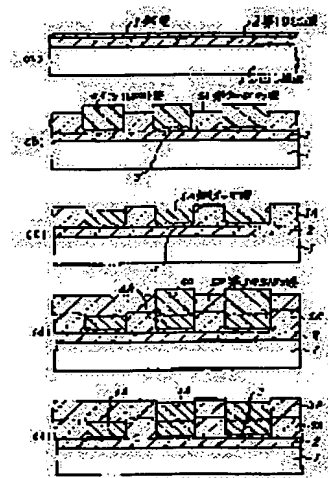
(72)Inventor : KISHI SHUJI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To enhance the flatness of an interlayer insulating film and to enhance the stress migration-resistant property and the electron migration-resistant property of the title device by a method wherein a through-hole is made in a silicon oxide film by liquid-phase epitaxy and, in addition, an electrode and an interconnection are formed by an electroless plating method.

CONSTITUTION: A copper film 3 is etched and removed by making use of a photoresist film 4A as a mask. Then, a second SiO<sub>2</sub> film 5A is grown selectively by liquid-phase epitaxy. Then, the photoresist film 4A is stripped off; after that, a copper-plated film 6A is grown selectively by using electroless plating method. Then, a photoresist film 4B is formed on the copper-plated film 6A in a part where a through-hole is to be formed; after that, a third SiO<sub>2</sub> film 5B is grown selectively by using liquid-phase epitaxy. Then, the photoresist film 4B is removed; a copper-plated film 6B is grown selectively by electroless plating method. Thereby, it is possible to obtain a flat interconnection layer which uses the copper-plated film 6A as a first-layer interconnection and which uses the copper-plated layer 6B as an electrode which has been buried in the through-hole.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90	A	7353-4M		
21/288	Z	7738-4M		
21/3205				
		7353-4M	H 0 1 L 21/88	H
		7353-4M		P
審査請求 未請求 請求項の数 1 (全 6 頁)				

(21) 出願番号 特願平3-52989

(22) 出願日 平成3年(1991)3月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岸 修司

東京都港区芝五丁目7番1号日本電気株式会社内

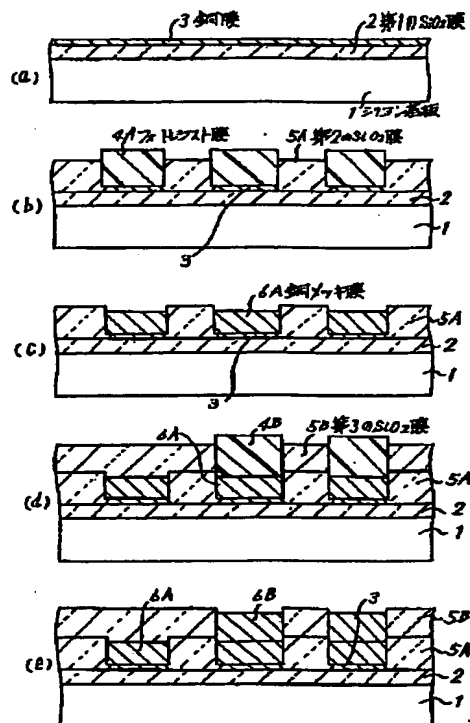
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【構成】シリコン基板1上に第1のSiO<sub>2</sub>膜2と銅膜3を形成したのちフォトリソ膜4Aを用いて銅膜3をパターニングする。次で液相成長法により銅膜3の除去された部分に第2のSiO<sub>2</sub>膜5Aを形成する。次にフォトリソ膜4Aを除去したのち、この部分に無電解銅メッキ法により銅メッキ膜6Aを形成し1層目配線とする。次にスルーホールを形成する銅メッキ膜6A上にフォトリソ膜4Bを形成したのち、他の部分に液相成長により第3のSiO<sub>2</sub>膜5Bを形成する。次にフォトリソ膜4Bを除去したのち、この部分に無電解銅メッキ法により銅メッキ膜6Bを形成し、スルーホール内の電極とする。この工程をくり返すことにより多層配線を形成する。

【効果】層間絶縁膜の平坦性に優れると共に、ストレスマイグレーション及びエレクトロマイグレーション耐性の向上した多層配線を有する半導体装置が得られる。



1

## 【特許請求の範囲】

【請求項1】 素子が形成された半導体基板上に第1の金属膜を形成する工程と、この第1の金属膜上にパターンニングされた第1のフォトリソグレイ膜を形成する工程と、この第1のフォトリソグレイ膜をマスクとし前記第1の金属膜を除去する工程と、前記第1の金属膜が除去された部分に液相成長法により第1のシリコン酸化膜を選択的に形成する工程と、前記第1のフォトリソグレイ膜を除去したのち前記第1の酸化シリコン膜をマスクとし無電解メッキ法により露出した前記第1の金属膜上に第2の金属膜を選択的に形成する工程と、少くとも一部の前記第2の金属膜表面に第2のフォトリソグレイ膜を形成したのちこの第2のフォトリソグレイ膜以外の部分に液相成長法により第2のシリコン酸化膜を選択的に形成する工程と、前記第2のフォトリソグレイ膜を除去したのち露出した前記第2の金属膜上に無電解メッキ法により第3の金属膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に配線間に層間絶縁膜及びスルーホールが設けられた多層配線を有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 近年VLSIは高密度化及び高性能化を達成するためにその配線の多層化が図られており、3層又は4層配線構造のVLSIが製品化されている。特に、バイポーラVLSIは、その高速性能を生かし大型コンピュータやスーパーコンピュータ等の心臓部に使用されているため、極めて高い信頼性が要求される。例えば超大型コンピュータでは3～5万ゲートクラスのチップで故障率は20フィット(fit)以下が要求されている。このようなVLSIにおいて従前の不良製品を分析すると90%以上がメタライズ系に起因する不良であり、特に段差部における配線の被覆形状(いわゆるカバレジ)に起因する不良が多いばかりか、配線材料そのものに起因する不良も多い。一般的に下層配線端及び配線間における上層配線のカバレジ不足やスルーホール部における上層配線のカバレジ不足に起因したエレクトロマイグレーション(以下E/Mと記す)による断線故障や、配線材料と層間絶縁膜の両者に起因したストレスマイグレーション(以下S/Mと記す)による断線故障が良く知られている。

【0003】 図3(a)、(b)は従来の多層配線を有する半導体装置の製造方法の一例を説明するための平面図及びA-A線断面図であり、特に平面図は配線のみを示した。図3においては下層配線端及び配線間における上層配線のカバレジを改善するために所謂段だらしとしてSOG膜(spin on glass膜; 塗布焼成

2

膜)を形成している。このSOG膜は、一般的にはプラズマCVD法(以下PCVD法と記す)にて堆積させた無機絶縁膜と組み合わせて使用される。

【0004】 先ず、素子が形成されたシリコン基板1上にSiO<sub>2</sub>膜2Aを被着する。次にSiO<sub>2</sub>膜2A上にアルミニウム膜を被着した後、フォトリソグラフィ技術とRIE法とにより選択的にパターン形成して1層目アルミニウム配線10A、10B、10Cを形成する。次にこの基板の全面に、PCVD法によりSiON膜(Si-O-N系絶縁膜)11を被着した後塗布焼成法によりSOG膜22を被着し、更にSiON膜13を被着する。その後、第1アルミニウム配線10Bの直上域に開口を有するフォトリソグレイ膜をマスクに、例えば約1.00Paの混合ガス(CF<sub>4</sub>+O<sub>2</sub>)プラズマを使用してSiON膜13を等方的にエッチング除去し等方的開口部15を形成する。更に前記フォトリソグレイ膜をマスクに約10PaのCF<sub>4</sub>ガスプラズマを使用した異方性エッチング法によってSOG膜12及びSiON膜11を選択的に除去し異方的開口部14を形成する。次いで全面にアルミニウム膜をスパッタ法により被着したのち前記方法により2層目のアルミニウム配線16A、16Bを形成し、2層配線構造を実現していた。ここでスルーホール19を2段形状(等方的開口部15と異方的開口部14)に形成するのは、スルーホール部における上層配線のカバレジを改善するためである。

## 【0005】

【発明が解決しようとする課題】 しかしながら、上述した従来の多層配線を有する半導体装置の製造方法においては次のような問題点があった。まず図3(a)の平面図に示したように、スルーホール部においてスルーホール台座17を設ける必要があるために最小配線ピッチ18が制限され集積度を上げられないという問題である。この点に関し詳しく説明する。

【0006】 通常PCVDで成長される絶縁膜は10<sup>9</sup>～10<sup>10</sup>dyn/cm<sup>2</sup>程度の応力を持つ事から、スパッタ法にて被着されたアルミニウム膜のS/M耐性を十分に確保するために最小線幅は2μm以上に制限され、配線間隔は現状のフォトリソグラフィ技術とRIE技術を用いた場合1.0μm程度が安定的に製造出来る限界である。従って最小配線ピッチとして3.0μmが期待されるが、スルーホールを設ける場合は3.6μm以上必要とされる。つまり異方的開口部14が1層目アルミニウム配線10B上に完全に配置されないと、エッチング時にSiO<sub>2</sub>膜2Aまでエッチングされ、2層目アルミニウム配線16Aとシリコン基板1とがショートする不良を発生するため、加工精度及びフォトリソグラフィ時の目ずれを考慮し目合せマージンxを0.8μm以上取る必要がある。

【0007】 またスルーホール19の最小開口寸法は層間絶縁膜の全膜厚が1.0μm程度の場合、1.6×

3

1.  $6\text{ cm}^2$  以上取る必要がある。これ以下の寸法であるとアルミニウム配線のカバレッジが急激に低下してしまい、E/M耐性を保証する最大電流密度基準を満足出来なくなる。例えば  $1.0\text{ }\mu\text{m}$  スルーホールではカバレッジは10%程度となってしまう。したがって最小配線ピッチは  $3.6\text{ }\mu\text{m}$  となり、スルーホール台座のない場合の  $3.0\text{ }\mu\text{m}$  に比し約20%程集積密度低下せざるを得なかった。

【0008】またスルーホールを2段形状に加工するため必然的に2層目アルミニウム配線16Aとのマージンはさらに大きく取る必要があり、このマージン $y$ としては  $1.2\text{ }\mu\text{m}$  以上取らざるを得ず結果として2層配線の最小ピッチは1層配線ピッチより  $0.4\text{ }\mu\text{m}$  以上大きくなっている。これまでは2層構造につき説明してきたが、3層以上の構造を取る場合はさらに深刻となる。つまり図3(b)に示すように、スルーホール部において2層配線上面は凹形状をしているため、真上にスルーホールを重ね合せて配置することがアルミニウムのカバレッジの点からほぼ不可能となるからで、この様子を図4に示す。

【0009】図4では2層目アルミニウム配線16と3層目アルミニウム配線20間の第2層間絶縁膜としてSiON膜21、23とSOG膜22を用い、1層目アルミニウム配線10と2層目アルミニウム配線16間の第1層間絶縁膜構造と同じ構造を採用した場合を示しており、スルーホールの開口方法も同一である。ただしスルーホールサイズは拡大している。

【0010】第1層間絶縁膜のスルーホール部では50%以上のカバレッジを確保出来るが、第2層間絶縁膜のスルーホール部における3層目アルミニウム配線20のカバレッジは20%以下しか確保出来ないため、信頼性が極めて乏しいものとなってしまう。さらに図3(b)と図4とを比較すれば分かる様に、配線層が1層増えるだけで表面段差が極端に増加するため、フォトリソグラフィに対する負荷が飛躍的に増し、例えば焦点深度が深く、解像度の優れた露光装置を新しく準備する必要が生じているばかりでなく、段差部においてエッチング残りを発生させない新しいRIE条件を設定したり、あるいはハレーション(凹凸部における光の反射によるレジストパターンのくずれ)防止能力の高い新レジストを開発しなければならぬ等ウェハ製造プロセスに与える影響は極めて大きくなる。これらのことは製造コストの大幅な引き上げ直結する。

【0011】この様に従来の製造方法によれば、配線ピッチを制限し、しかもスルーホールの配置場所を制限(同一箇所にスルーホールを重ねない)してVLSIを設計しなければならなかったため極めてスペース効率の悪い、言い換えれば動作速度を犠牲にした設計をしいられていた。さらにもう一点考慮すべきは、製造プロセス途中で発生するパーティクルの影響である。PCVD

4

法、スパッタ法、RIE法ともすべて真空プロセスとなるため、プロセス中でのパーティクルや搬送中でのパーティクル発生を低レベルで抑えるためには、高度の装置設計製造能力管理能力が要求され、装置価格及び装置本体の大きさは増加の一途をたどっている。

【0012】また一度、トラブルにより装置がダウンするとその復帰に1日以上かかる場合もある。従って複数台の設備を持つ必要があり、世代交替のたびに数十億円 of 設備投資が必要とされている。

10 【0013】最近では前記問題点の解決策としてアルミニウム配線のE/M及びS/M耐性の向上を目的としてCuを添加することが提案されているが、Cuを添加することで配線のドライエッチングが格段に難しくなる。例えばコロージョン現象による配線の腐蝕が大問題であるし、スルーホールの平坦化を目的として提案されているWの選択成長は接続抵抗が1桁以上高いという大問題を抱えており製品レベルへの適用を考えられる状況からは大きくかけ離れている。

20 【0014】本発明はかかる問題点に鑑みてなされたものであって、層間絶縁膜の平坦性に極めて優れるとともに、配線のS/MとE/M耐性を格段に向上させることができる多層配線を有する半導体装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の半導体装置の製造方法は、素子が形成された半導体基板上に第1の金属膜を形成する工程と、この第1の金属膜上にパターニングされた第1のフォトレジスト膜を形成する工程と、この第1のフォトレジスト膜をマスクとし前記第1の金属膜を除去する工程と、前記第1の金属膜が除去された部分に液相成長法により第1のシリコン酸化膜を選択的に形成する工程と、前記第1のフォトレジスト膜を除去したのち前記第1の酸化シリコン膜をマスクとし無電解メッキ法により露出した前記第1の金属膜上に第2の金属膜を選択的に形成する工程と、少くとも一部の第2の金属膜表面に第2のフォトレジスト膜を形成したのちこの第2のフォトレジスト膜以外の部分に液相成長法により第2のシリコン酸化膜を選択的に形成する工程と、前記第2のフォトレジスト膜を除去したのち露出した前記第2の金属膜上に無電解メッキ法により第3の金属膜を形成する工程とを含んで構成される。

【0016】

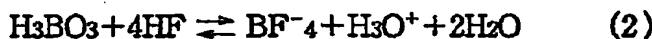
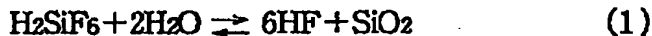
【作用】本発明は真空プロセスをほとんど使用することなく、また絶縁膜と金属膜を液相中にて選択的に成長させることにより平坦性の極めて優れた多層配線を有する半導体装置を低コストを実現することが出来る。

50 【0017】シリコン酸化膜の液相成長法は、例えばエッチ、ナガヤマ(H. Nagayama)等により、ジャーナル オブ エレクトロケミカル ソサエティ:ソリッド ステイトサイエンス アンド テクノロジー

5

(Jornal of Electrochemical Society: SOLID-STATE SCIENCE AND TECHNOLOGY) 135巻 No. 8 2013頁(1988年)に報告されている。

【0018】このシリコン酸化膜の形成方法の原理は、\*



【0020】ここで析出した $\text{SiO}_2$ 膜は有機膜、つまりフォトレジスト膜上には極めて成長しにくいという性質を有するため、フォトレジスト膜をマスクとした選択成長が可能となる。

【0021】

【実施例】次に本発明の実施例について図面を参照して説明する。図1(a)～(e)は本発明の一の実施例を説明するための工程順に示した半導体チップの断面図である。

【0022】先ず図1(a)に示すように、素子が形成されたシリコン基板1上に第1の $\text{SiO}_2$ 膜2を被着する。次にこの第1の $\text{SiO}_2$ 膜2上にスパッタ法にて銅膜3を厚さ約100nmに被着する。次に図1(b)に示すように、フォトレジスト膜4Aをパターンニングしたのち、このフォトレジスト膜4Aをマスクに銅膜3をリン酸と酢酸と硝酸の混合液にてエッチング除去する。次で液相成長法により第2の $\text{SiO}_2$ 膜5Aを選択的に成長させる。液相成長法による第2の $\text{SiO}_2$ 膜5の成長レートを0.5～1nm/min程度まで低く抑え、パーティクルの発生を実用レベルまで低減することが出来る。また選択性が若干悪くてフォトレジスト膜上に粒状に $\text{SiO}_2$ 膜が付着したとしても、次のフォトレジスト膜の剥離工程でリフトオフにより除去されてしまうので差し支えはない。

【0023】次に図1(c)に示すようにフォトレジスト膜4Aを剥離したのち銅膜3上に無電解メッキ法を用いて銅メッキ膜6Aを選択的に成長させる。この銅メッキは硫酸銅、ホルマリン、化成ソーダ、ピリジン、エチレンジアミンアセチックソーダの混合液を用いることにより数十nm/minのメッキレートが得られる。次に図1(d)に示すように、スルーホールを形成すべき場所の銅メッキ膜6A上にフォトレジスト膜4Bを形成したのち、前述の液相成長法を用いて第3の $\text{SiO}_2$ 膜5Bを選択的に成長させる。

【0024】次に図1(e)に示すように、フォトレジスト膜4Bを除去したのち、無電解メッキ法により銅メッキ膜6Bを選択的に成長させる。この段階で銅メッキ膜6Aを1層目配線とし銅メッキ膜6Bをスルーホールに埋設された電極とする極めて平坦な配線層が形成されたことになる。従って図(a)～(e)と同様な方法をくり返す事で、2層目配線以降も順次形成することが出来る。図2は実際に2層配線を形成した様子を示す断面

6

\*下記(1)式において $\text{SiO}_2$ の飽和状態が形成され、これにホウ酸を添加すると式(2)に示すようにHFが消費され、 $\text{SiO}_2$ の過飽和状態が実現し $\text{SiO}_2$ が析出することによる。

【0019】

図であるが、目合せずれ8を見込んで形成した場合を示す。

【0025】図2においては1層目配線である銅メッキ膜6Aに対しスルーホールに埋設された電極である銅メッキ膜6Bが目ずれをおこしているが、目ずれ8の程度が0.3μm以内であればメッキによりスルーホール内を銅メッキ膜6Bにて完全に埋設することが出来る。また2層目配線形成の際に用いるスパッタ法による銅膜3Aをエッチング除去する際に、図2に示したように目ずれ8があると、スルーホール部の銅メッキ膜6Bまでエッチングされ、アタック部7が生ずるが、その深さは銅膜3Aの膜厚程度つまり100nm程度であるので何ら問題とはならない。この銅膜3Aのエッチング部に第4の $\text{SiO}_2$ 膜5Cを、そして銅膜3A上に2層目配線となる銅メッキ膜6Cを形成し、最後にカバー膜9としてPCVD法により $\text{SiO}_2$ 、 $\text{N}_2$ 膜を500～1000nm程度に被着する。このカバー膜9は酸素の侵入防止膜としての役割を果たしている。

【0026】通常メッキ直後の銅メッキ膜は緻密性に欠け、配線抵抗も銅のバルクに比較すると高いが、水素雰囲気中で500℃程度のバークを30～60分程度行なうことでバルクに近い抵抗値まで低減させることが可能である。また銅配線はアルミニウム配線に比べ配線抵抗が低く、更にE/M、S/M耐性が1桁以上強い。アルミニウム配線では前述の様に2μm以上配線幅を取る必要があったが、銅配線では1μm程度まで細く出来る点が最大の利点である。液相成長法による $\text{SiO}_2$ 膜の膜応力は $10^8 \text{ dyn/cm}^2$ 程度とPCVD法の $10^9 \sim 10^{10} \text{ dyn/cm}^2$ に比較すると1桁以上小さい。またこの $\text{SiO}_2$ 膜は、リーク電流も1桁以上小さく、S/M耐性や絶縁特性からも極めて優れているものである。

【0027】上記実施例においては、第1の $\text{SiO}_2$ 膜2上にスパッタ法により銅膜3を形成したが、下地の第1の $\text{SiO}_2$ 膜との密着性に劣る場合がある。この場合は第1の $\text{SiO}_2$ 膜2上にスパッタ法により厚さ100nm程度のチタン膜を形成したのち銅膜3を生成すればよく、チタン膜のエッチングには過酸化水素水とアンモニア水の混合液を用いる。銅メッキ膜による2層目配線の形成時にもチタン膜と銅膜の積層膜を用いる事が出来、この場合には図2に示したアタック部7の発生を防止することが出来る。何故なら、チタン膜は銅膜をエッ

7

チングする際のバリア膜となり、チタン膜のエッチング液に対しては銅膜がエッチングされないからである。

【0028】本実施例で形成する液相成長法によるSiO<sub>2</sub>膜は、0.5μm以下のスペースにも成長させることが出来、また銅メッキ膜は0.8μm程度のスペースにも成長させることが出来る。また本実施例では従来例の様にスルーホール台座を設ける必要が一切ないため、最小配線ピッチとして1.3μmを実現出来る。更に銅メッキ膜は極めて平坦性に優れるため、スルーホールの重ね合せをしても平坦性や上層配線のカバレッジ低下を招くことは全くなく、従来の制限をすべて取り払うことが出来るため、集積度の飛躍的向上が可能となる。

【0029】尚、上記実施例では金属膜として銅を用いた場合について説明したが、金を用いることもできる。また金属膜のエッチングについてウェットエッチング法を用いた場合について説明したが、ドライエッチング法を用いてもよいことは勿論である。

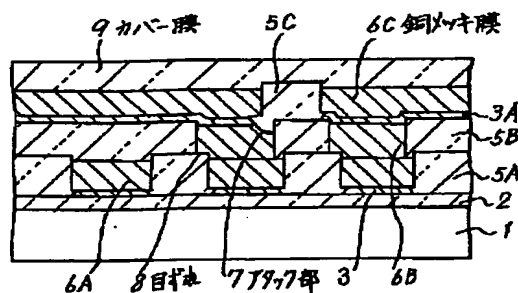
【0030】

【発明の効果】以上説明したように本発明は、スルーホールの形成を液相成長法による酸化シリコン膜で行ない、更に電極や配線の形成を無電解メッキ法で行なうため、層間絶縁膜の平坦性に優れると共に、アルミニウムを用いないためストレスマイグレーション及びエレクトロマイグレーション耐性の向上した多層配線を有する半導体装置が得られるという効果を有する。また従来のように種々の真空機器を用いる必要がないため製造コストを大幅に低減させることができるという効果もある。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための半導体チップの断面図。

【図2】



8

【図2】本発明の一実施例を説明するための他の半導体チップの断面図。

【図3】従来の半導体装置の製造方法を説明するための平面図及び断面図。

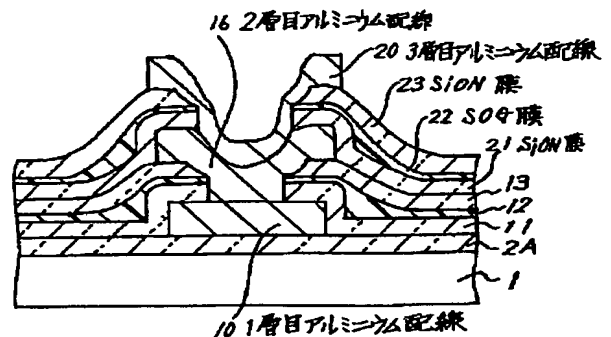
【図4】従来の半導体装置の製造方法を説明するための断面図。

【符号の説明】

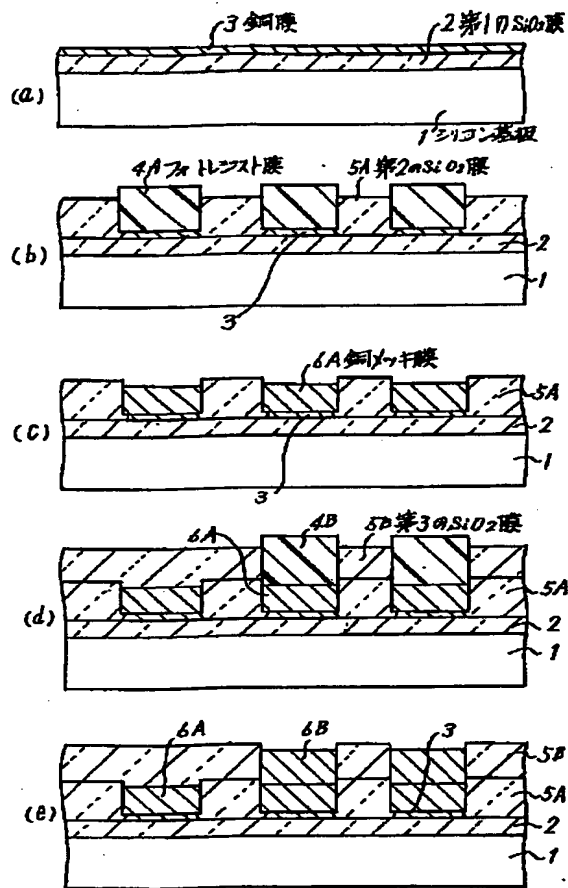
- 1 シリコン基板
- 2 第1のSiO<sub>2</sub>膜
- 2A SiO<sub>2</sub>膜
- 3 銅膜
- 4A, 4B フォトリソ膜
- 5A 第2のSiO<sub>2</sub>膜
- 5B 第3のSiO<sub>2</sub>膜
- 5C 第4のSiO<sub>2</sub>膜
- 6A~6C 銅メッキ膜
- 7 アタック部
- 8 目ずれ
- 9 カバー膜
- 10A~10C 1層目アルミニウム配線
- 11, 13, 21, 33 SiON膜
- 12, 22 SOG膜
- 14 異方的開口部
- 15 等方的開口部
- 16A, 16B 2層目アルミニウム配線
- 17 スルーホール台座
- 18 最小配線ピッチ
- 19 スルーホール
- 20 3層目アルミニウム配線

30

【図4】



【図1】



【図3】

